

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08149495 A**(43) Date of publication of application: **07.06.96**

(51) Int. Cl.

H04N 9/44(21) Application number: **08312620**(71) Applicant: **CASIO COMPUT CO LTD**(22) Date of filing: **21.11.84**(72) Inventor: **OGASAWARA TAKESHI**

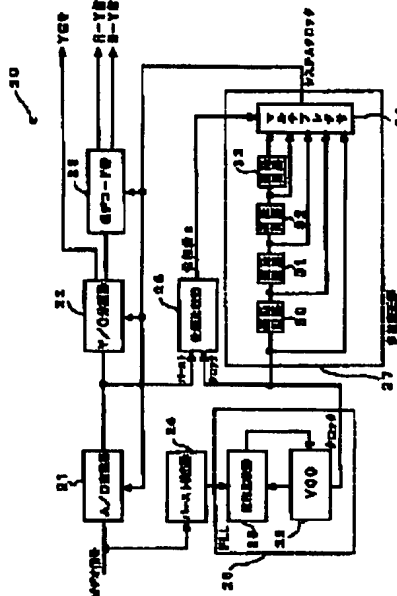
(54) VIDEO SIGNAL PROCESSOR

COPYRIGHT: (C)1996,JPO

(57) Abstract

PURPOSE: To provide the miniaturized and low-priced video signal processor with no color nonuniformity or color slippage.

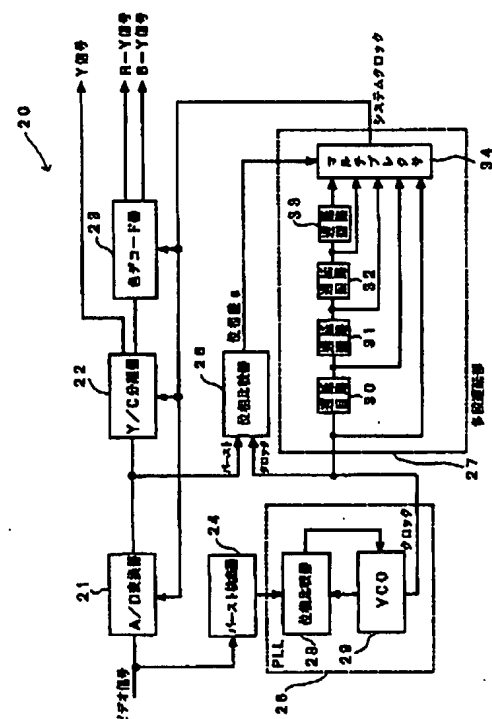
CONSTITUTION: The burst of an analog video signal is detected by a burst detector 24, a clock locked by this burst is generated by a PLL 25, and the analog video signal is digitally converted by an A/D converter 21. Phase difference (a) between the burst of the video signal from the A/D converter 21 and the clock from the PLL 25 is detected by a phase comparator 26 and outputted to a multiplexer 34 of a multistage delay part 27. The clock from the PLL 25 and delayed clocks, for which this clock is delayed through delay circuits 30 to 33, are inputted to the multiplexer 34 and based on the phase difference (a), the multiplexer 34 selects any one of these clocks and outputs it to the A/D converter 21 or the like as a system clock. Based on this system clock, the A/D converter 21 performs this A/D conversion and converts the signal to a chrominance signal while using a Y/C separator 22 and a color decoder 23.



(11)特許出願公開番号

(43)公開日 平成8年(1996)6月7日

B



【特許請求の範囲】

【請求項 1】 入力されるアナログのビデオ信号をデジタルのビデオ信号に変換する A/D 変換手段と、
前記 A/D 変換手段から出力されるデジタルのビデオ信号を、色信号に変換する色信号変換手段と、
前記 A/D 変換手段と前記色信号変換手段の動作クロックを前記アナログのビデオ信号に基づいて生成するクロック生成手段と、

を備えたビデオ信号処理装置において、
前記クロック生成手段の生成したクロックの位相を調整して、位相補正クロックを出力する位相調整手段を、設け、

前記位相調整手段の出力する位相補正クロックを前記 A/D 変換手段及び前記色信号変換手段の動作クロックとして使用することを特徴とするビデオ信号処理装置。

【請求項 2】 前記位相調整手段は、
前記クロック生成手段の生成したクロックと前記 A/D 変換手段の変換したデジタルのビデオ信号の位相差を算出する位相差算出手段と、
前記クロック生成手段の生成したクロックを順次遅延させた複数の遅延クロックを生成し、該遅延クロックと前記クロック生成手段の生成したクロックのうちの一つを前記位相差算出手段の算出した位相差に基づいて選択して前記位相補正クロックとして出力するクロック遅延手段と、
を備えたことを特徴とする請求項 1 記載のビデオ信号処理装置。

【請求項 3】 前記位相差算出手段は、
前記 A/D 変換手段の変換したデジタルのビデオ信号の位相角 0 と位相角 π のバーストをラッチするフリップフロップと、
前記フリップフロップのラッチした位相角 0 と位相角 π のバーストを加算する加算器と、
前記加算器の加算結果を 2 で除算してオフセットを算出する除算器と、
前記除算器の算出したオフセットを前記フリップフロップのラッチした位相角 0 のバーストの位から減算して位相差を算出する減算器と、
を備えたことを特徴とする請求項 2 記載のビデオ信号処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ビデオ信号処理装置に関し、詳細には、簡単な回路構成で、色むらのない色信号のデコードをデジタルにて行うことのできるビデオ信号処理装置に関する。

【0002】

【従来の技術】 近時、アナログのビデオ信号をデジタル変換して、色信号をデコードすることが行われている。このような従来のビデオ信号処理装置としては、例

えば、図 4 に示すようなものがある。

【0003】 この従来のビデオ信号処理装置 1 は、A/D 変換器 2、Y/C 分離部 3、色デコード器 4、バースト検出器 5 及び PLL (Phase Locked Loop) 6 を備えており、PLL 6 は、位相比較器 7 と VCO (Voltage Controlled Oscillator) 8 により構成されている。

【0004】 ビデオ信号処理装置 1 は、アナログのビデオ信号が A/D 変換器 2 及びバースト検出器 5 に入力され、A/D 変換器 2 は、PLL 6 の VCO 8 から入力されるクロックに基づいて動作して、入力されるアナログのビデオ信号をデジタル信号に変換して、Y/C 分離部 3 に出力する。

【0005】 Y/C 分離部 3 は、デジタル変換されたビデオ信号を輝度信号 Y と色信号に分離して抽出し、輝度信号 Y をそのまま出力するとともに、色信号を色デコード器 4 に出力する。

【0006】 色デコード器 4 は、Y/C 分離部 2 から色信号をデコードして、R の色差信号 R-Y と B の色差信号 B-Y を生成し、それぞれ出力する。上記バースト検出器 5 は、入力されるビデオ信号のバーストを検出し、PLL 6 の位相比較器 7 に出力する。

【0007】 PLL 6 は、バースト検出器 5 の検出したバーストに位相をロックしたクロックを発生させ、このクロックを A/D 変換器 2、Y/C 分離部 3 及び色デコード器 4 に出力している。そして、A/D 変換器 2、Y/C 分離部及び色デコード器 4 は、このクロックに基づいて動作する。

【0008】 したがって、上記従来のビデオ信号処理装置 1 においては、VCO 8 と A/D 変換器 2 との間でディレーが発生し、A/D 変換器 2 が、急峻なビデオ信号の周波数の変動により、バーストと位相のずれたクロックによりサンプリングしてしまうことが発生して、色むらとなって現れるという問題があった。

【0009】 そこで、従来、図 5 に示すように、色補正を行うビデオ信号処理装置 10 が出現している。なお、図 5 の説明において、図 4 と同一の構成部分には、同一の符号を付してその説明を省略する。このビデオ信号処理装置 10 においては、A/D 変換器 2 による A/D 変換後のバーストと PLL 6 の A/D 変換前のバーストにロックされたクロックを位相比較器 11 で位相比較して、位相差を多数の乗算器等で構成された位相差角度算出器 12 に出力し、位相差角度算出器 12 で、位相差角度を算出して、多数の乗算器等で構成された色相補正器 13 に出力する。

【0010】 色相補正器 13 は、位相差角度算出器 12 から入力される位相差角度に基づいて、色デコード器 4 から入力される色差信号に色相補正を行い、色相補正後の色差信号を出力する。

【0011】

【発明が解決しようとする課題】 しかしながら、このよ

うなビデオ信号処理装置にあっては、色むらや色ずれが発生したり、回路構成が大きくなり、ビデオ信号処理装置が大型化するとともに、高価になるという問題があった。

【0012】すなわち、図4に示した従来のビデオ信号処理装置にあっては、PLL6のVCO8とA/D変換器2の間でディレーが発生して、急峻なビデオ信号の周波数変動により、バーストと位相のずれたクロックで、A/D変換器2でビデオ信号をサンプリングし、色むらや色ずれが発生するという問題があった。

【0013】また、図5に示した従来のビデオ信号処理装置にあっては、色相補正を行うために多数の乗算器等を使用する位相差角度算出器12や色相補正器13を使用するため、回路構成が大型化して、ビデオ信号処理装置が大型化するとともに、高価なものになるという問題があった。

【0014】そこで、本発明は、上記問題点に鑑みてなされたものであって、色むらや色ずれがなく、小型で、かつ、安価なビデオ信号処理装置を提供することを目的としている。

【0015】

【課題を解決するための手段】本発明のビデオ信号処理装置は、入力されるアナログのビデオ信号をデジタルのビデオ信号に変換するA/D変換手段と、前記A/D変換手段から出力されるデジタルのビデオ信号を、色信号に変換する色信号変換手段と、前記A/D変換手段と前記色信号変換手段の動作クロックを前記アナログのビデオ信号に基づいて生成するクロック生成手段と、を備えたビデオ信号処理装置において、前記クロック生成手段の生成したクロックの位相を調整して、位相補正クロックを出力する位相調整手段を、設け、前記位相調整手段の出力する位相補正クロックを前記A/D変換手段及び前記色信号変換手段の動作クロックとして使用することにより、上記目的を達成している。

【0016】この場合、前記位相調整手段は、例えば、請求項2に記載するように、前記クロック生成手段の生成したクロックと前記A/D変換手段の変換したデジタルのビデオ信号の位相差を算出する位相差算出手段と、前記クロック生成手段の生成したクロックを順次遅延させた複数の遅延クロックを生成し、該遅延クロックと前記クロック生成手段の生成したクロックのうちの一つを前記位相差算出手段の算出した位相差に基づいて選択して前記位相補正クロックとして出力するクロック遅延手段と、を備えたものであってもよい。

【0017】また、前記位相差算出手段は、例えば、請求項3に記載するように、前記A/D変換手段の変換したデジタルのビデオ信号の位相角0と位相角 π のバーストをラッチするフリップフロップと、前記フリップフロップのラッチした位相角0と位相角 π のバーストを加算する加算器と、前記加算器の加算結果を2で除算して

オフセットを算出する除算器と、前記除算器の算出したオフセットを前記フリップフロップのラッチした位相角0のバーストの位から減算して位相差を算出する減算器と、を備えたものであってもよい。

【0018】

【作用】本発明のビデオ信号処理装置によれば、入力されるアナログのビデオ信号を、A/D変換手段により、デジタルのビデオ信号に変換し、A/D変換手段の出力するデジタルのビデオ信号を、色信号変換手段により、色信号に変換する。

【0019】そして、このA/D変換器と色信号変換手段の動作クロックをアナログのビデオ信号に基づいて、クロック生成手段が、生成するが、このクロック生成手段の生成したクロックを、位相調整手段により位相調整した位相補正クロックにより、A/D変換手段及び色信号変換手段の動作クロックとして使用する。

【0020】したがって、A/D変換手段とクロック発生手段との間でディレーが発生しても、簡単な回路構成の位相調整手段により位相を調整した位相補正クロックによりA/D変換手段及び色信号変換手段を動作させることができ、ビデオ信号に急峻な周波数変動が発生しても、バーストと位相の一致した位相補正クロックにより、A/D変換手段でビデオ信号をサンプリングすることができる。

【0021】その結果、色むらや色ずれの発生を減少させることのできるビデオ信号処理装置を、安価で、かつ、小型なものとすることができる。

【0022】この場合、例えば、請求項2に記載するように、前記位相調整手段が、前記クロック生成手段の生成したクロックと前記A/D変換手段の変換したデジタルのビデオ信号の位相差を算出する位相差算出手段と、前記クロック生成手段の生成したクロックを順次遅延させた複数の遅延クロックを生成し、該遅延クロックと前記クロック生成手段の生成したクロックのうちの一つを前記位相差算出手段の算出した位相差に基づいて選択して前記位相補正クロックとして出力するクロック遅延手段と、を備えたものとする、と、位相調整手段をより簡単な回路構成とすることができ、色むらや色ずれの発生を減少させることのできるビデオ信号処理装置をより安価で小型なものとすることができる。

【0023】また、例えば、請求項3に記載するように、前記位相差算出手段が、前記A/D変換手段の変換したデジタルのビデオ信号の位相角0と位相角 π のバーストをラッチするフリップフロップと、前記フリップフロップのラッチした位相角0と位相角 π のバーストを加算する加算器と、前記加算器の加算結果を2で除算してオフセットを算出する除算器と、前記除算器の算出したオフセットを前記フリップフロップのラッチした位相角0のバーストの位から減算して位相差を算出する減算器と、を備えたものとする、と、ビデオ信号処理装置をよ

り一層簡単な回路構成とすることができ、より一層安価で小型なものとするができる。

【0024】

【実施例】以下、本発明のビデオ信号処理装置を実施例に基づいて具体的に説明する。図1～図3は、本発明のビデオ信号処理装置の一実施例を示す図である。図1は、本実施例のビデオ信号処理装置20の回路ブロック構成図であり、ビデオ信号処理装置20は、A/D変換器(A/D変換手段)21、Y/C分離器22、色デコード器23、パースト検出器24、PLL25、位相比較器(位相差算出手段)26及び多段遅延部(クロック遅延手段)27等を備えている。

【0025】ビデオ信号処理装置20は、そのA/D変換器21とパースト検出器24にアナログのビデオ信号が入力される。パースト検出器24は、入力されるアナログのビデオ信号からパーストを検出し、PLL25に出力する。

【0026】PLL25は、位相比較器28とVCO29を備え、VCO29の出力するクロックとパースト検出器24の検出したパーストとを位相比較器28で比較することによりVCO29の出力するクロックの位相をロックして、この位相がロックしたクロックを位相比較器26及び多段遅延部27に出力する。したがって、上記パースト検出器24及び位相比較器28とVCO29からなるPLL25は、全体としてクロック発生手段を構成している。

【0027】多段遅延部27は、多段接続された4個の遅延回路30、31、32、33とマルチプレクサ34を備え、PLL25のVCO29から入力される位相のロックされたクロックが先頭の遅延回路30に入力され

る。

【0028】マルチプレクサ34には、VCO29からのクロック及び各遅延回路30～遅延回路33の出力する遅延クロックが入力されるとともに、位相比較器26の出力する位相差 a が入力され、マルチプレクサ34は、位相比較器26から入力される位相差 a に基づいて、VCO29からのクロックと各遅延回路30～遅延回路33からの遅延クロックの一つを選択して、システムクロックとして、A/D変換器21、Y/C分離器22及び色デコード器23に出力する。

【0029】A/D変換器21は、多段遅延部27のマルチプレクサ34から入力されるシステムクロックに基づいてビデオ信号をサンプリングして、デジタルのビデオ信号に変換し、Y/C分離器22に出力するとともに、位相比較器26に出力する。

【0030】Y/C分離器22は、A/D変換器21から入力されるデジタルのビデオ信号を、多段遅延部27から入力されるシステムクロックに基づいて、輝度信号Yと色信号とに分離し、輝度信号Yをそのまま出力するとともに、色信号を色デコード器23に出力する。

【0031】色デコード器23は、Y/C分離器22から入力される色信号を、多段遅延部27から入力されるシステムクロックに基づいて、Rの色差信号 $R-Y$ とBの色差信号 $B-Y$ にデコードして、出力する。

【0032】位相比較器26は、図2に示すように、2個のフリップフロップ(FF)41、42、加算器43、除算器44及び減算器45等を備えている。フリップフロップ41、42には、A/D変換器21でデジタル変換されたビデオ信号のバーストが入力され、フリップフロップ41、42は、それぞれPLL25からのクロックにより動作して、フリップフロップ41が位相角0のバーストを、フリップフロップ42が、位相角 π のバーストを、それぞれラッチして、加算器43に出力するとともに、フリップフロップ41は、ラッチ出力を減算器45にも出力する。

【0033】フリップフロップ41の出力とフリップフロップ42の出力を加算して、除算器44に出力し、除算器44は、加算器43の加算結果を $1/2$ に除算することにより、オフセット E_{off} を算出して、減算器45に出力する。

【0034】減算器45は、フリップフロップ41のラッチした位相角0の位からオフセット E_{off} を減算して、位相差 a として、図1に示す多段遅延部27のマルチプレクサ34に出力する。

【0035】多段遅延部27は、上述のように、マルチプレクサ34に各遅延回路30～遅延回路33の出力するディレイクロックが入力されるとともに、PLL25からのクロックが入力され、マルチプレクサ34は、位相比較器26から入力される位相差 a に基づいて、これら各遅延回路30～遅延回路33からのディレイクロックとPLL25からのクロックのうちの一つを選択して、システムクロックとしてA/D変換器21、Y/C分離器22及び色デコード器23に出力する。

【0036】したがって、上記位相比較器26と多段遅延部27は、全体としてPLL25の出力するクロックの位相を調整して、システムクロック(位相補正クロック)を出力する位相調整手段を構成している。

【0037】次に、本実施例の動作を説明する。ビデオ信号処理装置20は、入力されるアナログのビデオ信号を、A/D変換器21でデジタル変換し、Y/C分離器22及び位相比較器26に出力する。

【0038】一方、パースト検出器24は、入力されるアナログのビデオ信号のバーストを検出して、PLL25に出力し、PLL25は、このデジタル変換前のバーストに位相をロックしたクロックを位相比較器26及び多段遅延部27に出力する。

【0039】位相比較器26は、図2に示したように、A/D変換器21によりデジタル変換されたビデオ信号のバーストの位相角0と位相角 π をPLL25から入力されるクロックに基づいてラッチして、これらのラッ

チ出力を加算器43で加算した後、除算器44で $1/2$ に除算してオフセットE_{off}を算出し、減算器45で、フリップフロップ41のラッチ出力である位相角0の位からオフセットE_{off}を減算して、図3に示すような位相差 α として多段遅延部27のマルチプレクサ34に出力する。

【0040】すなわち、位相比較器26は、A/D変換器21によりディジタル変換されたビデオ信号のバーストの位相角0と位相角 π とを加算した後、2で除算したオフセットを位相角0の位から減算した結果を、図3に示すような位相差 α として、多段遅延部27のマルチプレクサ34に出力する。

【0041】そして、多段遅延部27は、マルチプレクサ34が、PLL25から入力されるクロックと、このPLL25から入力されるクロックを4つの遅延回路30~33で遅延した各遅延クロックのいずれかを位相比較器26から入力される位相差 α に基づいて選択し、システムクロックとしてA/D変換器21、Y/C分離器22及び色デコード器23に出力する。

【0042】すなわち、ビデオ信号処理装置20は、位相比較器26により、PLL25からのクロックに基づいてA/D変換後のビデオ信号のバーストの位相角0と位相角 π のオフセットE_{off}を算出し、多段遅延部27で、このオフセットE_{off}と位相差 α とが一致したとき、システムクロックとバーストが同位相であると判断し、このシステムクロックをA/D変換器21、Y/C分離器22及び色デコード器23に出力して、これらの動作タイミングを取っている。

【0043】したがって、PLL25のVCO29でロックしたクロックとA/D変換器21がアナログビデオ信号をサンプリングするタイミングを制御するシステムクロックとのずれをなくすことができ、色むらや色ずれ等の発生を減少させることができる。

【0044】このように、本実施例によれば、入力されるアナログのビデオ信号を、A/D変換器21により、ディジタルのビデオ信号に変換し、このA/D変換器21の出力するディジタルのビデオ信号を、Y/C分離器22及び色デコード器23により、色信号に変換する。

【0045】そして、このA/D変換器21、Y/C分離器22及び色デコード器23の動作クロックをアナログのビデオ信号に基づいて、クロック生成手段であるPLL25が、生成するが、このPLL25の生成したクロックを、位相調整手段である位相比較器26及び多段遅延部27により位相調整したシステムクロック（位相補正クロック）により、A/D変換器21、Y/C分離器22及び色デコード器23の動作クロックとして使用している。

【0046】したがって、A/D変換器21とPLL25との間でディレーが発生しても、簡単な回路構成の位相比較器26及び多段遅延部27により位相を調整した

システムクロックによりA/D変換器21、Y/C分離器22及び色デコード器23を動作させることができ、ビデオ信号に急峻な周波数変動が発生しても、バーストと位相の一致したシステムクロックにより、A/D変換器21でビデオ信号をサンプリングすることができる。

【0047】その結果、色むらや色ずれの発生を減少させることができるビデオ信号処理装置20を、安価で、かつ、小型なものとすることができる。また、本実施例によれば、位相調整手段を、PLL25の生成したクロックとA/D変換器21の変換したディジタルのビデオ信号の位相差 α を算出する位相比較器（位相差算出手段）26と、PLL27の生成したクロックを順次遅延させた複数の遅延クロックを生成し、該遅延クロックとPLL25の生成したクロックのうちの一つを位相比較器26の算出した位相差 α に基づいて選択してシステムクロックとして出力する多段遅延部（クロック遅延手段）27と、で構成しているので、位相調整手段をより簡単な回路構成とすることができ、色むらや色ずれの発生を減少させることのできるビデオ信号処理装置20をより安価で小型なものとすることができる。

【0048】さらに、本実施例によれば、位相差算出手段である多段遅延部27を、A/D変換器21の変換したディジタルのビデオ信号の位相角0と位相角 π のバーストをラッチするフリップフロップ41、42と、フリップフロップ41、42のラッチした位相角0と位相角 π のバーストを加算する加算器43と、加算器43の加算結果を2で除算してオフセットを算出する除算器44と、除算器43の算出したオフセットをフリップフロップ41のラッチした位相角0のバーストの位から減算して位相差 α を算出する減算器45と、で構成しているので、ビデオ信号処理装置20をより一層簡単な回路構成とすることができ、より一層安価で小型なものとすることができる。

【0049】以上、本発明者によってなされた発明を好適な実施例に基づき具体的に説明したが、本発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲内で種々変更可能であることはいうまでもない。

【0050】例えば、図5に示した色相補正を行うビデオ信号処理装置10においても、多数の乗算器等で構成された位相差角度算出器12や位相補正器13を用いることなく、本実施例を適用することにより、少ない回路構成で同様の効果を上げることができる。

【0051】

【発明の効果】本発明のビデオ信号処理装置によれば、入力されるアナログのビデオ信号を、A/D変換手段により、ディジタルのビデオ信号に変換し、A/D変換手段の出力するディジタルのビデオ信号を、色信号変換手段により、色信号に変換する。

【0052】そして、このA/D変換手段と色信号変換

手段の動作クロックをアナログのビデオ信号に基づいて、クロック生成手段が、生成するが、このクロック生成手段の生成したクロックを、位相調整手段により位相調整した位相補正クロックにより、A/D変換手段及び色信号変換手段の動作クロックとして使用する。

【0053】したがって、A/D変換手段とクロック発生手段との間でディレーが発生しても、簡単な回路構成の位相調整手段により位相を調整した位相補正クロックによりA/D変換手段及び色信号変換手段を動作させることができ、ビデオ信号に急峻な周波数変動が発生しても、バーストと位相の一致した位相補正クロックにより、A/D変換手段でビデオ信号をサンプリングすることができる。

【0054】その結果、色むらや色ずれの発生を減少させることができるビデオ信号処理装置を、安価で、かつ、小型なものとすることができる。

【0055】この場合、請求項2に記載するように、前記位相調整手段が、前記クロック生成手段の生成したクロックと前記A/D変換手段の変換したデジタルのビデオ信号の位相差を算出する位相差算出手段と、前記クロック生成手段の生成したクロックを順次遅延させた複数の遅延クロックを生成し、該遅延クロックと前記クロック生成手段の生成したクロックのうちの一つを前記位相差算出手段の算出した位相差に基づいて選択して前記位相補正クロックとして出力するクロック遅延手段と、を備えたものとする、と、位相調整手段をより簡単な回路構成とすることができ、色むらや色ずれの発生を減少させることのできるビデオ信号処理装置をより安価で小型なものとすることができる。

【0056】また、請求項3に記載するように、前記位相差算出手段が、前記A/D変換手段の変換したデジタルのビデオ信号の位相角0と位相角 π のバーストをラッチするフリップフロップと、前記フリップフロップのラッチした位相角0と位相角 π のバーストを加算する加

算器と、前記加算器の加算結果を2で除算してオフセットを算出する除算器と、前記除算器の算出したオフセットを前記フリップフロップのラッチした位相角0のバーストの位から減算して位相差を算出する減算器と、を備えたものとする、と、ビデオ信号処理装置をより一層簡単な回路構成とすることができ、より一層安価で小型なものとするすることができる。

【図面の簡単な説明】

【図1】本発明のビデオ信号処理装置の一実施例の回路ブロック構成図。

【図2】図1の位相比較器の詳細な回路ブロック図。

【図3】図2の位相比較器の出力する位相差の波形図。

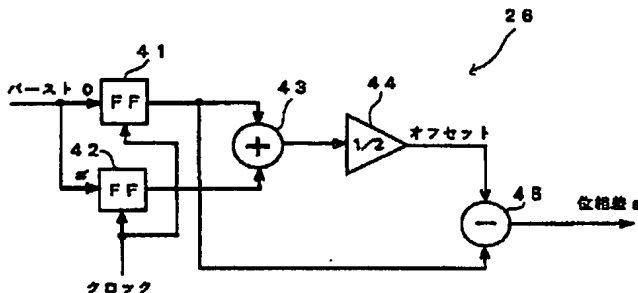
【図4】従来のビデオ信号処理装置の一例を示す回路ブロック図。

【図5】従来の色補正を行うビデオ信号処理装置の一例を示す回路ブロック図。

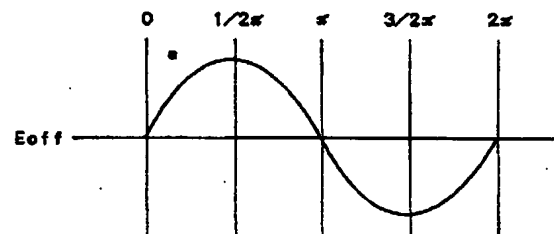
【符号の説明】

- 20 ビデオ信号処理装置
- 21 A/D変換回路
- 22 Y/C分離器
- 23 色デコード器
- 24 バースト検出器
- 25 PLL
- 26 位相比較器
- 27 多段遅延部
- 28 位相比較器
- 29 VCO
- 30、31、32、33 遅延回路
- 34 マルチプレクサ
- 41、42 フリップフロップ
- 43 加算器
- 44 除算器
- 45 減算器

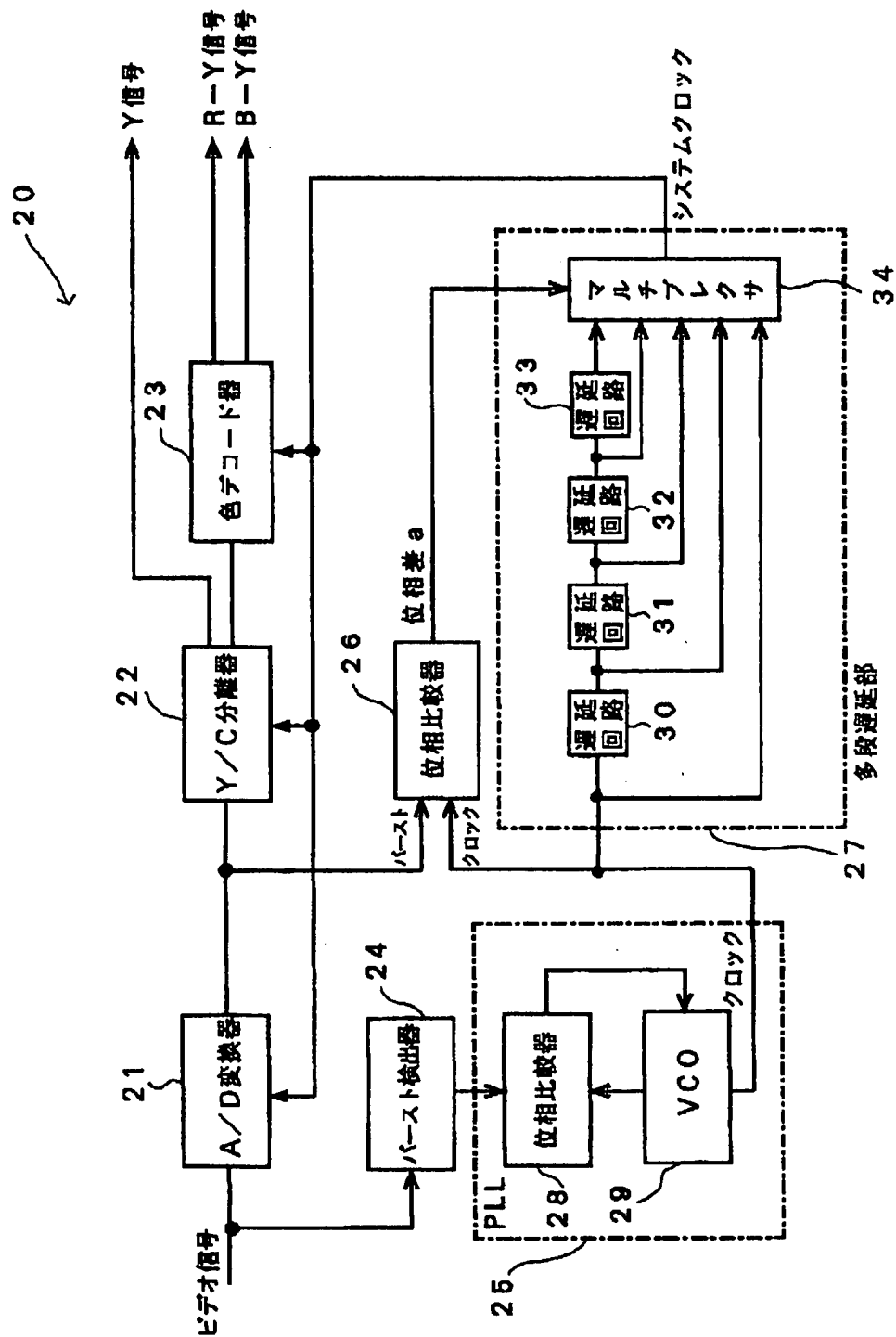
【図2】



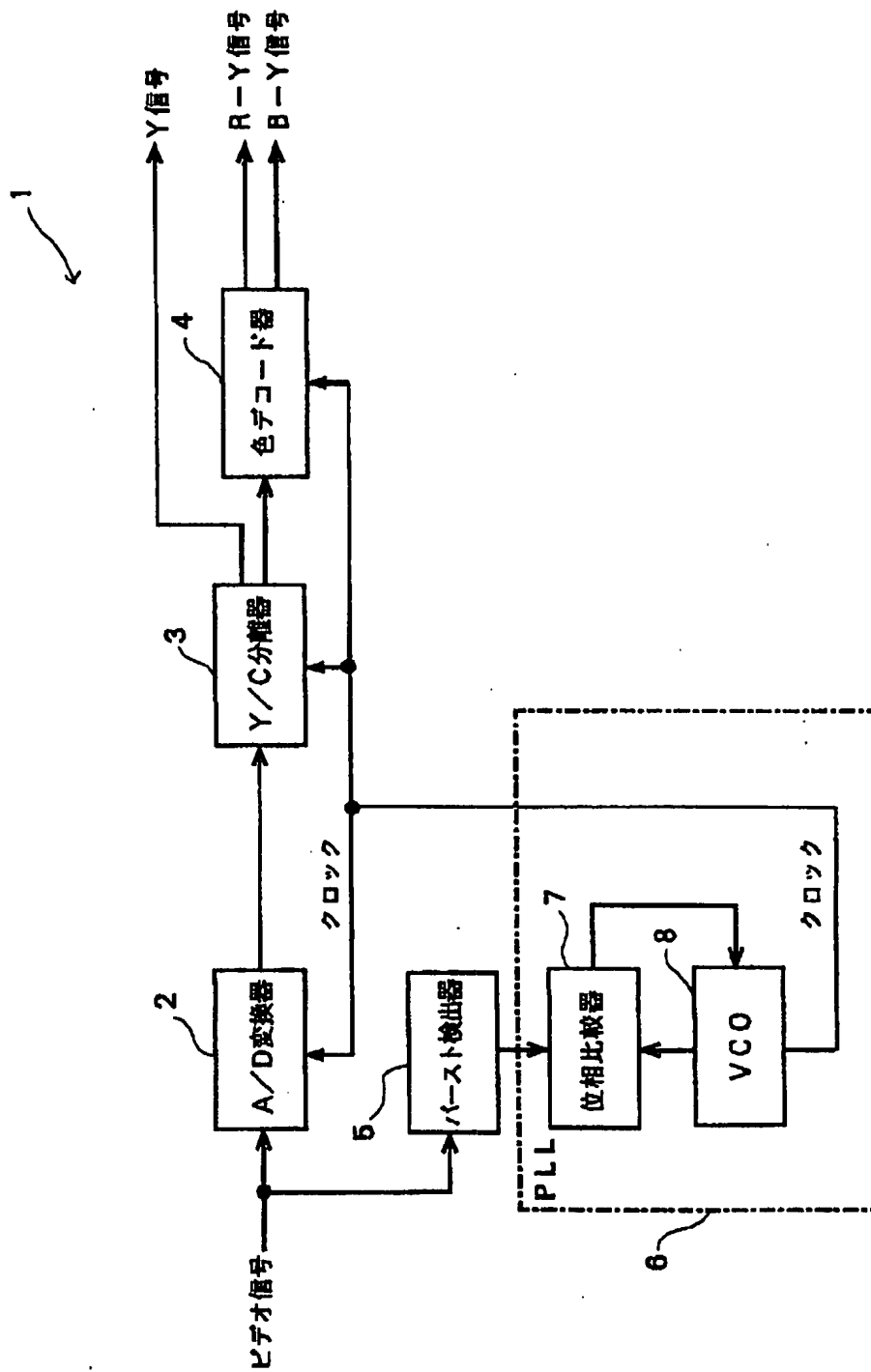
【図3】



【図1】



【図4】



【図5】

